

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1996년 특허출원 제 64026 호
Application Number

출원년월일 : 1996년 12월 10일
Date of Application

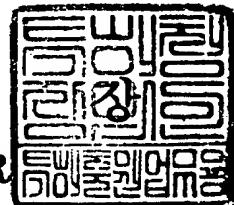
출원인 : 삼성전자주식회사
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

1997년 4월 28일

특허청

COMMISSIONER



10-96-064026

원서 번호 : 1



IPC 분류 기호	주 분류			방식 심사 관	출원번호:	
	부 분류				담당	심사관
접수 인란			특허 출원서			
출원인	성명 (명칭)	삼성전자 주식회사 SAMSUNG ELECTRONICS CO., LTD (대표자: 김광호)				
	주민등록번호 (출원인코드)	14001979	전화 번호	02-760-6048	국적	
	주 소	경기도 수원시 팔달구 매탄동 416번지 (442-370)				
대리인	성명	임창현	대리인 코드	H361	전화 번호	
	주 소	서울특별시 강남구 역삼동 827-4 금성빌딩 3층 (135-080)				
발명자	성명	김병한 Kim Byoung Han				
	주민등록번호	690416-1821319			국적	대한민국
	주 소	경기도 수원시 장안구 연무동 237-6 25/3 (440-240)				
발명의 명칭		비디오신호 변환장치 및 그 장치를 구비한 표시장치 A VIDEO SIGNAL CONVERSION DEVICE AND A DISPLAY DEVICE HAVING THE SAME				
특허법(제54조, 제55조) 의 규정에 의한 우선권 주장	출원국명	출원종류	출원일자	출원번호	증명서류 첨부 미첨부	
	대한민국	특허	1996. 04. 17	96-11554	0	
특허법 제42조의 규정에 의하여 위와 같이 출원합니다.						
1996년 12월 10일						
대리인 임창현						
특허청장 귀하						

특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

1996년 12월 10일

대리인 임창현



특허청장 귀하

첨부서류	수 수 료			
	출원료	기본	20 면	20000 원
1. 요약서, 명세서(및 도면) 각 1통		가산	31 면	21700 원
2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통	우선권 주장료		1 건	18000 원
3. 위임장(및 동 번역문)	심사 청구료		10 항	228000 원
4. 우선권 증명서류 및 동 번역문	합 계			287700 원

【요약서】

【요약】

개시되는 비디오 신호 변환 장치는, 마이크로컴퓨터와, 각각은 3 개의 라인 메모리들을 가지는 메모리 블럭들, 메모리 기입 동작을 위한 화소 클럭 신호 (W_{Dclk})와 메모리 독출 동작을 위한 화소 클럭 신호 (R_{Dclk})를 발생하는 클럭 발생 회로, 수평 출력 신호 (H_{out})을 발생하는 수평 출력 발생 회로 및, 메모리 제어 회로를 포함하며, 저해상도 VGA, SVGA 모드용 컬러, 수평 및 수직 동기 신호들이 XGA 모드 LCD 장치로 제공될 때 화소 클럭의 주파수와 수평 동기 신호의 주파수를 증가시킴으로써, 영상이 LCD 화면 전체에서 표시되도록 한다.

【대표도】

도 5

【명세서】

【발명의 명칭】

비디오 신호 변환 장치 및 그 장치를 구비한 표시 장치(A VIDEO SIGNAL CONVERSION DEVICE AND A DISPLAY DEVICE HAVING THE SAME)

【도면의 간단한 설명】

도 1은 액티브 매트릭스 액정 표시 장치의 구성을 개략적으로 보여주는 블럭도;

도 2는 종래의 액정 표시 제어 장치의 회로 구성을 보여주는 블럭도;

도 3은, VGA 모드 신호들이 XGA 모드 액정 표시 장치로 제공되는 경우에 있어서,
종래의 기술에 따른 영상 표시 영역을 보여주는 도면;

도 4는, VGA 모드 신호들이 XGA 모드 액정 표시 장치로 제공되는 경우에 있어서,
본 발명에 따른 영상 표시 영역을 보여주는 도면;

도 5는 본 발명의 바람직한 실시예에 따른 비디오 신호 변환 장치의 구성을 보여주
는 블럭도;

도 6은 도 5에 도시된 메모리 블럭 주변의 회로 구성을 보여주는 블럭도;

도 7은 도 5에 도시된 출력 선택 회로의 상세 회로도;

도 8은, VGA 모드 신호들이 본 발명의 액정 표시 장치로 제공될 때, 각 메모리 블
럭에서, 기입 동작이 수행되는 라인 메모리 및 독출 동작이 수행되는 라인 메모리
를 각각 순서대로 보여주는 도면;

도 9는, SVGA 모드 신호들이 본 발명의 액정 표시 장치로 제공될 때, 각 메모리 블럭에서, 기입 동작이 수행되는 라인 메모리 및 독출 동작이 수행되는 라인 메모리를 각각 순서대로 보여주는 도면;

도 10은 도 5에 도시된 클럭 발생 회로 내 PLL 회로의 상세 회로도;

도 11은 도 10에 도시된 PLL 회로의 동작 타이밍을 보여주는 타이밍도;

도 12는 도 5에 도시된 수평 출력 발생 회로의 상세 회로도;

도 13은 수직 동기 신호 및 수평 출력 신호의 타이밍도.

도 14는 도 5에 도시된 플래그 회로의 상세 회로도;

도 15는 도 5에 도시된 메모리 선택 제어 회로의 상세 회로도;

도 16은 기입 동작에 따라서 독출 동작용 라인 메모리가 선택되는 과정을 설명하기 위한 타이밍도;

도 17은 도 6에 도시된 메모리 동작 제어 회로의 상세 회로도;

도면의 주요 부분에 대한 부호의 설명

100 : 마이크로컴퓨터

102 : 클럭 발생 회로

108 : 수평 출력 발생 회로

110 : 메모리 부

116 : 아날로그-디지털 변환 회로

118 : 메모리 제어 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 비디오 신호 변환 장치 및 그것을 구비한 표시 장치에 관한 것으로, 특히 호스트(host)로부터 액정 표시(Liquid Crystal Display; LCD) 장치와 같이 디지털 비디오 데이터에 의해 구동되는 화소들(pixels) 또는 도트들(dots)을 갖는 표시 장치가 지원하는 표시 모드보다 더 낮은 해상도(resolution)의 표시 모드용 비디오 신호들이 입력될 때 상기 저해상도의 비디오 신호들을 자신의 표시 모드에 적합한 신호들로 변환하고 그리고 변화된 신호들에 따른 영상(image)이 화면 상에 표시되도록 하는 표시 장치 및 그것의 비디오 신호 변환 장치에 관한 것이다.

디지털 비디오 데이터에 따라 각 화소의 밝기가 조절되는 표시 장치에는 LCD 장치, 플라즈마 표시(plasma display) 장치 등이 있다.

디지털 비디오 데이터에 의해 구동되고 컬러 표시(color display)를 수행하는 화소들을 갖는 표시 장치의 예로서, 액티브 매트릭스(active matrix) 컬러 LCD 장치는, 도 1에 도시된 바와 같이, LCD 제어 장치(control unit) (20)과, LCD 패널(panel) (30)을 포함하고 있다. LCD 패널 (30)에는, 구동 장치(drive unit) (40)이 내장되어 있다. 퍼스널 컴퓨터 시스템의 시스템 장치(system unit)(이 시스템 장치에는 CPU(central processing unit), HDD(hard disk drive), FDD(floppy disk drive), CD-ROM 드라이브, 비디오 보드 등이 탑재되어 있음) 등과 같은 호스트(host) (10)으로부터는 컬러 CRT(cathode ray tube) 표시 장치를 위한 아날로그 커

러 신호들이 출력된다. 상기 제어 장치 (20)은 비디오 신호 변환 기능을 수행하는 것으로서, 상기 호스트로부터의 아날로그 컬러 신호들을 디지털 컬러 신호들로 변환하고, 수평 출력 신호(H_{out}) 및 화소(또는 도트) 클럭 신호 (Dclk)를 발생한다. 상기 제어 장치 (20)으로부터 각각 출력되는 디지털 컬러 신호와, 화소 클럭 및 수평 출력 신호들은 LCD 패널 (30) 내에 장착된 구동 장치 (40)으로 제공된다.

도 2를 참조하면, LCD 패널 (30)을 제어하기 위한 종래의 제어 장치 (20)은, 수평 동기 신호(horizontal synchronizing signal) (H_{sync})를 입력받아 수평 출력 신호 (H_{out})과 화소 클럭 신호 (Dclk)를 발생하는 PLL(Phase Locked Loop) 회로 (21)과, 호스트 (10)으로부터 제공되는 직렬 형태의 아날로그 비디오 신호들 즉, 아날로그 R(red), G(green), B(blue) 신호들을 각각 병렬 형태의 디지털 R, G, B 신호들로 변환하여 구동 회로 (40)으로 제공하는 ADC 회로(Analog to Digital Converter) (22)를 포함하고 있다.

상기 제어 장치 (20)가 발생하는 수평 출력 (H_{out})은 호스트로부터의 수평 동기 신호 (H_{sync})에 대응되는 신호로서, 상기 수평 출력 신호 (H_{out})의 주파수는 수평 동기 신호 (H_{sync})의 그것과 동일하다. 반면, 호스트 (10)의 특성에 따라서 PLL 회로 (21)로 입력되는 수평 동기 신호 (H_{sync})의 극성(polarity)이 변화될 수 있는 데, 상기 PLL 회로 (21)은 미리 정해진 극성의 수평 출력 신호 (H_{out})을 출력한다. 예컨대, 네그티브 극성(negative polarity)의 수평 출력 신호 (H_{out})에 동기되어서 동작

되는 구동 장치 (40)을 갖는 LCD 장치에서, 호스트로부터 PLL 회로 (21)로 포지티브 극성(positive polarity)의 수평 동기 신호 (H_{sync})가 제공되더라도, PLL 회로 (21)은 네그티브 극성의 수평 출력 신호 (H_{out})을 구동 장치 (40)으로 제공한다. 여기서, 상기 PLL 회로 (21)은, 잘 알려져 있는 바와 같이, 위상 검출기(phase detector), VCO(voltage controlled oscillator), 분주기(divider), 출력 발생기(output generator)로 구성되어 있다.

일반적으로, LCD 장치는 단일의 표시 모드(single display mode), 예컨대, VGA(Video Graphics Array), SVGA(Super VGA), 또는 XGA(eXtended Graphics Array) 모드들 중의 어느 하나만을 지원하고 있다. 따라서, 상용 해상도(active resolution) 1024×768 의 XGA 모드를 지원하는 LCD 장치로, 예를 들어, 상용 해상도 640×480 의 VGA 모드용 신호들이 제공되면, 도 3에 도시된 바와 같이, 상기 XGA LCD 화면 상의 일부 영역 (A) 상에서만 영상이 표시되고, 그 나머지 영역 (B) 상에서는 영상이 표시되지 않는다. 상용 해상도 800×600 의 SVGA 모드 신호들이 XGA LCD로 제공되는 경우에도 위와 마찬가지이다.

이와 같이, 종래에는, 호스트로부터 저해상도 표시 모드 신호들(low resolution display mode signals)이 고해상도 표시 모드(high resolution display mode)를 지원하는 표시 장치로 제공되는 경우에, 화면의 일부에서만 영상이 표시되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

본 발명의 목적은 저해상도 표시 모드의 직렬 형태의 비디오 신호들을 표시 장치가 지원하는 고해상도 표시 모드의 병렬 형태의 비디오 신호들로 변환하는 비디오 신호 변환 장치를 제공하는 것이다.

본 발명의 다른 목적은 디지털 비디오 데이터에 의해 구동되는 화소들을 갖는 표시 장치 자신이 지원하는 표시 모드보다 저해상도 표시 모드의 비디오 신호들이 호스트로부터 입력되더라도 화면 전체 상에 영상이 표시되도록 하는 표시 장치를 제공하는 것이다.

【발명의 구성 및 작용】

본 발명의 일 특징에 따르면, 제 1 표시 장치용 직렬 형태의 제 1 표시 데이터를 제 2 표시 장치용 병렬 형태의 제 2 표시 데이터로 변환하는 비디오 신호 변환 장치는: 상기 제 1 표시 데이터와 관련된 수평 및 수직 동기 신호들을 이용하여 상기 제 1 표시 데이터의 해상도를 검출하고 상기 검출된 해상도와 소정의 기준 해상도와 비교하는 수단 및; 상기 검출된 해상도와 상기 기준 해상도 간에 차가 있을 때, 상기 제 1 표시 데이터를 상기 기준 해상도의 상기 제 2 표시 데이터로 변환하는 수단을 포함한다.

상기 제 1 표시 장치는 CRT 표시 장치이고, 상기 제 2 표시 장치는 LCD 장치이며, 상기 기준 해상도는 상기 제 2 표시 장치가 지원하는 해상도이다.

본 발명의 다른 특징에 따르면, 호스트로부터 수평 동기 신호, 수직 동기 신호 및, 상기 수평 동기 신호에 동기된 직렬 형태의 비디오 신호들을 받아들여서 복수 개의 수평 라인들로 구성된 - 상기 각 라인은 복수 개의 화소들을 구비하고 상기 화소들 각각은 컬러 표시를 수행하는 - 화면 상에 상기 비디오 신호들에 대응하는 영상을 표시하는 표시 장치는: 상기 수평 및 수직 동기 신호들을 이용하여 상기 호스트로부터의 상기 각 비디오 신호들의 화소 수를 검출하고, 상기 검출된 화소 수와 소정의 기준 화소 수를 비교하는 제 1 수단과; 상기 검출된 화소 수와 상기 기준 화소 수 간에 차가 있을 때, 상기 화소 수 차에 의해 결정되는 제 1 주파수로 상기 비디오 신호들을 샘플링하는 제 2 수단 및; 상기 화소 수 차에 결정되는 제 2 주파수에 동기되어서 상기 샘플링된 비디오 데이터에 의한 영상이 상기 화면 상에 표시되도록 하는 제 3 수단을 포함한다.

이 장치의 실시예에 있어서, 상기 제 2 수단은; 상기 화소 수 차에 결정되는 상기 제 1 수단으로부터의 데이터 신호에 응답하여 상기 수평 동기 신호에 동기된 상기 제 1 주파수의 클럭 신호를 발생하는 수단 및, 상기 클럭 신호에 동기되어서 상기 직렬 비디오 신호들을 병렬 비디오 데이터 신호들로 변환하는 수단을 포함한다.

이 장치의 실시예에 있어서, 상기 제 3 수단은; 상기 화소 수 차에 의해 결정되는 상기 제 1 수단으로부터의 제 1 데이터 신호에 응답하여 상기 수평 동기 신호

에 동기된 상기 제 2 주파수의 클럭 신호를 발생하는 수단 및, 상기 화소 수 차에 의해 결정되는 상기 제 1 수단으로부터의 제 2 및 제 3 데이터 신호들에 응답하여 상기 샘플링된 비디오 데이터의 동기를 위한 수평 출력 신호를 발생하는 수단을 포함한다.

이 장치는 소정 개수의 수평 라인들의 상기 샘플링된 비디오 데이터를 상기 화소 수 차에 의해 결정되는 소정의 비율에 대응하는 수의 수평 라인들의 데이터로 변환하여 상기 제 3 수단으로 제공하는 제 4 수단을 부가적으로 더 포함할 수도 있다.

상기 제 4 수단은 상기 샘플링된 비디오 데이터에 각각 대응하는 제 1 내지 제 3 메모리 블럭들과, 상기 각 메모리 블럭들은 적어도 3 개의 라인 메모리들을 구비하고 그리고 상기 각 라인 메모리는 1 개의 수평 라인에 해당하는 샘플링된 비디오 신호를 저장할 수 있는 기억 용량을 가지며, 상기 메모리 블럭들에 각각 대응하고, 각각은 소정의 선택 신호들에 응답하여 대응하는 메모리 블럭의 라인 메모리들로부터의 데이터를 선택적으로 출력하기 위한 제 1 내지 제 3 멀티플렉서들 및, 상기 화소 수 차에 따라서 상기 라인 메모리들 및 상기 멀티플렉서들 각각의 동작을 제어하는 제어 수단을 포함한다.

본 발명의 또 다른 특징에 따르면, 제 1 표시 장치를 위한 아날로그 비디오 신호들을 제 2 표시 장치를 위한 디지털 비디오 데이터로 변환하는 비디오 신호 변환

장치는: 상기 디지를 비디오 데이터를 저장하기 위한 메모리 수단 및; 제 1 데이터 신호와 제 2 데이터 신호 및 수직 동기 신호를 받아들여서 상기 제 2 표시 장치의 화면의 각 수평 라인에 대응하는 상기 메모리 수단으로부터의 상기 디지를 비디오 데이터를 동기시키기 위한 수평 출력 신호를 발생하는 수평 출력 발생 수단과; 상기 수평 출력 신호의 1 주기에 대응하는 화소 수는 상기 제 1 데이터 신호의 값과 동일하고, 상기 수평 출력 신호의 펄스 폭에 대응하는 화소 수는 상기 제 2 데이터 신호의 값과 동일하며; 상기 제 2 데이터 신호는 상기 1 개의 수평 라인에 대응하는 상기 제 2 화소 클럭 신호의 펄스 수를 표시하고, 상기 제 2 데이터 신호는 상기 수평 출력 신호의 펄스 폭을 표시하며; 수평 동기 신호, 상기 수직 동기 신호, 상기 수평 동기 신호와 상기 수직 동기 신호에 의해 결정되는 표시 모드를 나타내는 모드 신호들, 상기 수평 출력 신호, 상기 메모리 수단의 기입 동작을 위한 제 1 화소 클럭 신호 및 상기 메모리 수단의 독출 동작을 위한 제 2 화소 클럭 신호를 받아들여서, 상기 메모리 수단의 기입 동작 및 독출 동작을 제어하는 메모리 제어 수단을 포함한다.

이 장치에 있어서, 상기 디지를 비디오 데이터는 R, G, B 신호들을 포함하고, 상기 메모리 수단과 상기 수평 출력 발생 수단 및 상기 메모리 제어 수단은 단일 칩으로 형성된다.

이상과 같은 본 발명에 따르면, 저해상도 모드용 컬러, 수평 및 수직

동기 신호들이 XGA 모드 LCD로 제공될 때, 화소 클럭 신호의 주파수와 수평 동기 신호의 주파수를 증가시킴으로써 LCD 화면의 영상 표시 영역이 수평 방향 및 수직 방향으로 확대되어 상기 화면의 전체 영역에서 영상이 표시된다.

다음에는 첨부된 도면들에 의거하여 본 발명의 실시예에 따른 비디오 신호 변환 장치 및 그것을 구비한 표시 장치에 대해 상세히 설명한다.

실시예

먼저, 본 실시예에 따른 비디오 신호 변환 장치가 XGA 모드 LCD 패널과 연결되고 호스트로부터는 VGA 모드용 비디오 신호들이 입력되는 경우를 고려해 보자. 이런 경우, 본 실시예의 비디오 신호 변환 장치는 LCD 제어 장치로서 기능한다. 본 실시예의 비디오 변환 장치에 의해, 수직 동기 신호 (V_{sync})의 주파수는 동일하게 유지되고, 수평 동기 신호 (H_{sync})의 주파수 및 화소 클럭 신호 (Dclk)의 주파수는 다음의 <표 1>과 같이 0.6 배 더 증가된다. 이로써, LCD 화면 상에서 영상이 거의 XGA 모드의 해상도로 표시될 수 있다.

<표 1>

변환 전			변환 후	
해상도 dots × lines	수평 주파수 KHz	수직 주파수 Hz	수평 주파수 KHz	해상도 dots × lines
640 × 350 (800 × 449)	31.50	70.0	50.40	1024 × 560 (1280 × 718)
640 × 480 (800 × 525)	31.50	60.0	50.40	1024 × 768 (1280 × 840)
640 × 400 (800 × 449)	31.50	70.0	50.40	1024 × 640 (1280 × 718)
640 × 480 (800 × 520)	37.87	72.8	60.59	1024 × 768 (1331 × 832)

위의 표에서, 해상도는 상용 해상도(active resolution)를 표시하고, ()속의 수치는 총 해상도(total resolution)를 표시한다.

위의 <표 1>와 같이, 예컨대, 640 × 480의 해상도는 1024 × 768의 해상도로 변환되므로, 변환 전 해상도 : 변환 후 해상도 = 1 : 1.6이다. 이 변환 방식에 의하면, 5 개의 수평 라인들에 대응되는 R, G, B 신호들은 8 개의 라인들에 대응되는 컬러 신호들로 변환된다.

다음, 본 실시예에 따른 비디오 신호 변환 장치가 XGA 모드 LCD 패널과 연결되고 호스트로부터는 SVGA 모드용 비디오 신호들이 입력되는 경우를 고려해 보자. 이 경우, 본 실시예의 비디오 신호 변환 장치에 의해, 수직 동기 신호 (V_{sync})의 주파수는 역시 동일하게 유지되고, 수평 동기 신호 (H_{sync})의 주파수 및 화소 클럭 신호 (Dclk)의 주파수는 다음의 <표 2>와 같이 약 0.25 배 더 증가된다. 이로써, LCD 화면 상에서, 영상

은 거의 XGA 모드의 해상도로 표시될 수 있다.

<표 2>

변환 전			변환 후	
해상도 dots × lines	수평 주파수 KHz	수직 주파수 Hz	수평 주파수 KHz	해상도 dots × lines
800 × 600 (1024 × 625)	35.16	56.2	43.95	1000 × 750 (1280 × 781)
800 × 600 (1056 × 628)	37.88	60.3	47.35	1000 × 750 (1320 × 785)
800 × 600 (1040 × 666)	48.08	72.0	60.10	1000 × 750 (1300 × 832)

위의 표에서, 해상도는 상용 해상도를 표시하고, ()속의 수치는 총 해상도를 표시 한다.

위의 <표 2>와 같이, 예컨대, 800 × 600의 해상도는 1000 × 750의 해상도로 변환 되므로, 변환 전 해상도 : 변환 후 해상도 = 1 : 1.28이다. 하지만, 변환의 편의 상, 변환 전 해상도 : 변환 후 해상도 = 1 : 1.25가 되도록 한다. 이 변환 방식에 의하면, 4 개의 수평 라인들에 대응되는 컬러 신호들은 5 개의 라인들에 대응되는 컬러 신호들로 변환된다. 이상과 같은 컬러 신호들의 변환을 위해서, 반도체 메모리 장치가 사용된다.

도 5는 VGA 또는 SVGA 모드 신호들을 XGA 모드 신호들로 변환하는 본 실시예에 따른 비디오 신호 변환 장치의 회로 구성을 보여주고 있다. 도 5를 참조하면, 비디오 신호 변환 장치는 마이크로컴퓨터 (100)과, 클럭 발생 회로 (102), 수평 출력 발생 회로 (108), 메모리 부 (110), ADC 회로 (116) 및, 메모리 제어 회로 (118)로

구성된다.

호스트로부터 출력되는 수평 동기 신호 (H_{sync})와 수직 동기 신호 (V_{sync})는 마이크로컴퓨터 (100)으로 입력된다. 마이크로컴퓨터 (100)은 수평 동기 신호 (H_{sync})와 수직 동기 신호 (V_{sync})를 이용하여 호스트가 지원하는 표시 모드(이하, '호스트 표시 모드'라 함)를 판별하고, 그 결과를 표시하는 제 1 및 제 2 모드 신호들 (MD1) 및 (MD2)를 발생한다. 상기 호스트 표시 모드가 SVGA 모드일 때에는 마이크로컴퓨터 (100)으로부터 하이 레벨의 제 1 모드 신호 (MD1)과 하이 레벨의 제 2 모드 신호 (MD2)가 출력되고, 호스트 표시 모드가 VGA 모드일 때에는 로우 레벨의 제 1 모드 신호 (MD1)과 하이 레벨의 제 2 모드 신호 (MD2)가 출력되며, 호스트 표시 모드가 XGA 모드일 때에는 마이크로컴퓨터 (100)으로부터 로우 레벨의 제 2 모드 신호 (MD2)가 출력된다. 또, 상기 마이크로컴퓨터 (100)는 XGA 모드용 수평 동기 신호인 수평 출력 신호 (H_{out})의 1 주기에 대응하는 화소 수(또는 화소 클럭 수)를 표시하는 제 1 데이터 신호 (TA)와 상기 수평 출력 신호 (H_{out})의 폴스 폭에 대응하는 화소 수를 표시하는 제 2 데이터 신호 (PW)를 발생한다. 또한, 상기 마이크로컴퓨터 (100)으로부터는, 검출된 호스트 표시 모드의 해상도에 따른 1 개의 수평 라인 당 화소 클럭 수(pixel clock number per one horizontal line) 즉, 메모리 기입 동작 동안에 1 개의 수평 라인의 비디오 데이터를 메모리에 기입하는 데 필요한 화소 클럭 수를 표시하는 데이터 신호(이하, '기입 화소 클럭 수 데이터 신호'라 함)

(WPCN)와, LCD 장치가 지원하는 표시 모드의 해상도에 따른 1 개의 수평 라인 당 화소 클럭 수 즉, 메모리 독출 동작 동안에 1 개의 수평 라인의 비디오 데이터를 메모리로부터 독출하는 데 필요한 화소 클럭 수를 표시하는 데이터 신호(이하, '독출 화소 클럭 수 데이터 신호'라 함) (RPCN)이 출력된다. 호스트 (10)이 VGA 모드를 지원하는 경우 수평 주파수 및 수직 주파수에 따라서 기입 및 독출 화소 클럭 수 데이터 신호들 (WPCN) 및 (RPCN)의 값들은 1000 내지 2500 정도의 범위에서 각각 결정되고, SVGA 모드를 지원하는 경우 기입 및 독출 화소 클럭 수 데이터 신호들 (WPCN) 및 (RPCN)의 값들은 1000 내지 2000 정도의 범위에서 각각 결정된다.

이상과 같이, 마이크로컴퓨터 (100)은 수평 및 수직 동기 신호들을 이용하여 호스트로부터의 비디오 신호들의 화소 수를 검출하고, 검출된 화소 수와 미리 기억된 기준 화소 수를 비교하는 기능을 한다. 다시 말해, 상기 마이크로컴퓨터 (100)은 수평 및 수직 동기 신호들을 이용하여 호스트로부터의 비디오 신호의 해상도를 검출하고, 검출된 해상도와 미리 기억된 기준 해상도를 비교하는 기능을 한다.

클럭 발생 회로 (102)는 2 개의 PLL 회로 (104) 및 (106)으로 구성되며, 상기 PLL 회로들 (104) 및 (106)은 마이크로컴퓨터 (100)로부터의 기입 화소 클럭 수 데이터 신호 (WPCN) 및 독출 화소 클럭 수 데이터 신호 (RPCN)에 의해 각각 초기화되어서 메모리, 기입 동작 및 독출 동작을 위한 기입 화소 클럭 신호 (W_Dclk) 및 독출 화소 클럭 신호 (R_Dclk)을 각각 발생한다. 상기 기입 및 독출 화소 클럭 신호

들 (W_{Dc1k}) 및 (R_{Dc1k})은 수평 동기 신호 (H_{sync})에 동기되고 그리고 상기 기입 및
독출 화소 클럭 수 데이터 신호들 ($WPCN$) 및 ($RPCN$)에 대응하는 주파수들을 각각
갖는다.

수평 출력 발생 회로 (108)은 호스트로부터 제공되는 수직 동기 신호 (V_{sync})와
마이크로컴퓨터 (100)으로부터 제공되는 상기 제 1 및 제 2 데이터 신호들 (TA) 및
(PW)를 이용하여 수평 출력 신호 (H_{out})을 발생한다. 이 때, 상기 수평 출력 신호
(H_{out})은 수평 동기 신호 (H_{sync})(이하, ' H_{in} '로 표시함)에 동기되어서 발생되며, 상기
제 2 데이터 신호 (PW)의 값에 대응하는 주파수를 갖는다.

도 5에 도시된 바와 같이, 본 발명의 LCD 제어 장치는 메모리 부 (110)과, 직
렬 형태의 비디오 신호들 즉, 아날로그 컬러 신호들을 병렬 형태의 비디오 신호들
즉, 디지털 컬러 데이터 신호들로 변환하는 아날로그-디지털 변환 회로(analog to
digital convert; ADC) (116)을 구비하고 있다.

상기 메모리 부 (110)은 ADC (116)과 LCD 구동 회로 (40) 사이에 연결되며, R,
G, B 신호들에 각각 대응되는 3 개의 메모리 블럭들 (112a), (112b) 및 (112c)와,
출력 선택부 (114)를 구비하고 있다. 상기 메모리 블럭들 (112a), (112b) 및
(112c) 각각은 적어도 3 개 이상의 라인 메모리(line memory)들로 이루어진다. 이
들에 대해서는 추후 상세히 설명한다.

상기 ADC 회로 (116)은 상기 마이크로컴퓨터 (100)에 의해 검출된 아날로그 비

디오 신호의 해상도와 LCD 패널이 지원하는 해상도 간의 차이에 의해 결정되는 주파수의 기입 화소 클럭 신호 (W_Dclk)에 동기되어서 호스트로부터의 아날로그 비디오 신호들을 샘플링한다. 즉, 상기 ADC (116)은 호스트로부터 제공되는 CRT 표시 장치용의 직렬 비디오 신호들을 LCD 장치용의 병렬 비디오 데이터 신호들로 변환한다.

상기 수평 동기 신호 (H_{in})과, 상기 클럭 발생 회로 (102)로부터의 기입 및 독출 화소 클럭들 (W_Dclk) 및 (R_Dclk), 수평 출력 발생 회로 (108)로부터의 수평 출력 신호 (H_{out})은 메모리 제어 회로 (118)로 제공된다. 상기 메모리 제어 회로 (118)은, 도 5에 도시된 바와 같이, 플래그 회로(flag circuit) (120)과, 메모리 선택 제어 회로(memory selection control circuit) (128) 및, 메모리 동작 제어 회로(memory operation control circuit) (130)으로 구성된다. 이 회로 (118)은 수평 동기 신호 (H_{in}) 및 기입 화소 클럭 신호 (W_Dclk)를 입력 받아 상기 메모리 부 (110)의 기입 동작을 제어하고, 수평 출력 신호 (H_{out}) 및 독출 화소 클럭 신호 (R_Dclk)를 입력 받아 상기 메모리 부 (110)의 독출 동작을 제어한다.

상기 플래그 회로 (120)은, 각 메모리 블럭에서, 기입 동작과 독출 동작이 수행될 라인 메모리들을 미리 정해진 순서대로 각각 표시하는 플래그 신호들을 발생 한다.

상기 메모리 선택 제어 회로 (128)은, 각 메모리 블럭에서, 어느 한 라인 메모

리로의/로부터의 동시적(同時的) 기입/독출 동작들의 발생을 막으면서 기입 동작 및 독출 동작이 각각 수행될 라인 메모리들을 선택하는 메모리 선택 신호들 (W_Sel) 및 (R_Sel)을 발생한다.

상기 메모리 동작 제어 회로 (130)은 메모리 선택 제어 회로 (128)의 지시에 따라 각 메모리 블럭을 구성하는 라인 메모리들의 기입, 독출 동작들을 위한 메모리 억세스(memory access)를 제어한다.

본 실시예의 LCD 제어 장치의 수평 출력 발생 회로 (108)과, 메모리 부 (110) 및 메모리 제어 회로 (118)은 단일 칩(one chip) 형태로 제조될 수 있다. 이렇게 하면, 상기 LCD 제어 장치는 컴팩트(compact)한 구조를 가질 수 있어 제품의 양산성이 증대될 수 있다.

다시 도 5를 참조하면, 메모리 부 (110)은 3 개의 메모리 블럭들 (112a), (112b) 및 (112c)와, 이들에 각각 대응되는 3 개의 3×1 멀티플렉서들 (114a), (114b) 및 (114c)로 이루어지는 출력 선택 회로 (114)를 구비하고 있다.

도 6은 도 5에 도시된 메모리 블럭들 (112a), (112b), (112c) 중의 하나와 멀티 플렉서들 (114a), (114b), (114c) 중의 대응하는 하나 및 메모리 동작 제어 회로 (130)의 상세한 구성을 보여주고 있다. 도 6에 도시되어 있지 않은 나머지 2 개의 메모리 블럭들도, 상기 도면에 도시된 메모리 블럭과 마찬가지로, 메모리 동작 제어 회로 (130)에 접속된다. 도 6을 참조하면, 각 메모리 블럭 (112a),

(112b) 및 (112c)는 3 개의 라인 메모리들 (LM0), (LM1) 및 (LM2)로 구성된다. 각 라인 메모리는 적어도 1344 words \times 8 bits의 기억 용량(storage capacity)을 가진다.

도 7은 도 5에 도시된 출력 선택 회로 (114)의 상세 회로도이다. 도 7을 참조하면, 3 개의 3×1 멀티플렉서들 (114a), (114b) 및 (114c) 각각은 3 개의 입력 포트들과 하나의 출력 포트 및 2 개의 제어 단자들을 갖는다. 상기 입력 및 출력 포트들 각각은 8 비트 폭(8-bit width)을 갖는다. 각 멀티플렉서의 세 입력 포트들은 각 메모리 블럭 내의 라인 메모리들 (LM0), (LM1) 및 (LM2)의 데이터 출력 포트들(도시되지 않음)에 각각 접속된다. 각 멀티플렉서는 메모리 선택 제어 회로 (128)로부터 제공되는 독출 메모리 선택 신호들 (R_Sel0) 및 (R_Sel1)에 응답하여 각 메모리 블럭의 라인 메모리들 (LM0), (LM1) 및 (LM2)로부터 입력되는 데이터들 중 어느 하나의 데이터를 선택적으로 출력한다. 이 멀티플렉서들 (114a), (114b) 및 (114c)의 출력들 (R_{out}), (G_{out}) 및 (B_{out})은 LCD 구동 회로 (40)으로 제공된다.

다시, 도 6을 참조하면, 메모리 동작 제어 회로 (130)은 기입/독출 제어 부 (132), 어드레스 발생 부 (134), 어드레스 선택 부 (136) 및, 화소 클럭 선택 부 (138)로 구성된다. 기입/독출 제어 부 (132)는 메모리 선택 제어 회로 (128)로부터 제공되는 기입 메모리 선택 신호 (W_{Sel})에 응답하여 각 메모리 블럭의 라인 메모리들의 기입 및 독출 동작을 제어한다. 어드레스 발생 부 (134)는 수평 동기 신

호 (H_{in}) 및 수평 출력 신호 (H_{out})에 응답하여 메모리 독출 동작 및 메모리 기입 동작을 위한 기입 및 독출 어드레스들 (W_Add) 및 (R_Add)를 발생한다. 어드레스 선택 부 (136)은 기입/독출 제어 부 (132)에 의해 제어되어 기입 및 독출 어드레스들 (W_Add) 및 (R_Add)를 선택적으로 각 메모리 블럭의 라인 메모리들 (LM0), (LM1) 및 (LM2)로 각각 제공한다. 화소 클럭 선택 부 (138)은 기입/독출 제어 부 (132)에 의해 제어되어 기입 및 독출 화소 클럭들 (W_Dclk) 및 (R_Dclk)을 선택적으로 각 메모리 블럭의 라인 메모리들 (LM0), (LM1) 및 (LM2)로 각각 제공한다.

본 실시예의 LCD 장치가 지원하는 해상도보다 더 낮은 해상도의 모드 신호들이 호스트로부터 본 실시예의 LCD 장치로 제공되는 경우에 있어서, 각 메모리 블럭 (112a), (112b), (112c)의 라인 메모리들 (LM0), (LM1) 및 (LM2)의 기입 및 독출 동작들은 본 실시예의 LCD 제어 장치에 의해 다음과 같이 수행된다.

각 컬러 신호와 관련하여, 메모리 기입 동작은 수평 동기 신호 (H_{in})에 동기되어서 수행되고, 메모리 독출 동작은 수평 출력 신호 (H_{out})에 동기되어서 수행된다. 메모리 기입 동작은 각 메모리 블럭의 라인 메모리 (LM0)로부터 시작되고, 메모리 독출 동작은 각 메모리 블럭의 라인 메모리 (LM2)로부터 시작되며, 각 메모리 블럭의 기입/독출 동작을 위해 각 메모리 블럭의 라인 메모리들은 순환적으로 (in rotation) 선택된다. 하지만, 어떤 시점에서, 기입 동작 중에 있는 라인 메모리의 독출 동작이 요구되는 경우에는, 바로 이전에 독출 동작이 완료되었던 라인 메모리

의 독출 동작이 한 번 더 수행되도록 한다.

도 8은, VGA 모드 신호들이 XGA 모드를 지원하는 본 실시예의 LCD로 제공될 때, 각 메모리 블럭에서, 기입 동작이 수행되는 라인 메모리 및 독출 동작이 수행되는 라인 메모리를 각각 순서대로 보여주고 있다. 도 8을 참조하면, 5 라인의 VGA 모드 컬러 신호는 8 라인의 XGA 모드 컬러 신호로 변환된다. 신호 변환이 시작되면, 라인 메모리 (LM0)에서는 기입 동작이, 그리고 라인 메모리 (LM2)에서는 독출 동작이 각각 수행된다. 라인 메모리 (LM2)의 독출 동작 후에는 라인 메모리 (LM0)의 독출 동작이 수행되어야 하지만, 도 8에 도시된 바와 같이, 라인 메모리 (LM2)의 독출 동작이 완료되는 시점 (t_1)에서, 라인 메모리 (LM0)는 기입 동작의 수행 중에 있게 된다. 따라서, 라인 메모리 (LM2)의 독출 동작이 완료된 후에 상기 라인 메모리 (LM2)의 독출 동작이 다시 한 번 더 반복된다. 두 번 째의 라인 메모리 (LM2)의 독출 동작이 완료되는 시점 (t_2)에서는, 라인 메모리 (LM1)이 기입 동작의 수행 중에 있게 된다. 따라서, 라인 메모리 (LM2)의 두 번째 독출 동작이 완료되면, 세 번째의 독출 동작은 라인 메모리 (LM0)에서 수행된다. 라인 메모리 (LM0)를 통한 세 번째의 독출 동작 후에는 라인 메모리 (LM1)의 독출 동작이 수행될 예정이나, 4 번째의 메모리 독출 동작이 시작되는 시점 (t_3) 이후에서도, 라인 메모리 (LM1)의 기입 동작이 지속되므로 세 번째 독출 동작이 완료된 후에 상기 라인 메모리 (LM0)의 독출 동작이 다시 한 번 더 반복된다. 이후에도, 이상에서 설

명된 바와 같은 기입 및 독출 동작이 하나의 라인 메모리에서 동시에 발생되지 않도록 수행된다. 이로써, 시점 (t_4)에서는, 5 번의 메모리 기입 동작이 완료되고, 8 번의 메모리 독출 동작이 완료된다. 아로써, ADC 회로 (116)으로부터 5 개의 수평 라인들에 해당하는 R, G, B 신호들이 메모리 블럭들 (112a), (112b) 및 (112c)로 각각 입력되고, 상기 메모리 블럭으로부터는 8 개의 수평 라인들에 해당하는 컬러 신호들이 출력된다. 이는 각 메모리 블럭의 입력 신호 라인 수 대 출력 신호 라인 수의 비가 1 : 1.6임을 의미한다. 결국, 본 실시예의 LCD 제어 장치에 의해, 호스트로부터의 VGA 모드 신호들은 XGA 모드 신호들로 변환된다.

도 9는, SVGA 모드 신호들이 본 실시예의 액정 표시 장치로 제공될 때, 각 메모리 블럭에서, 기입 동작이 수행되는 라인 메모리 및 독출 동작이 수행되는 라인 메모리를 각각 순서대로 보여주고 있다. 도 9를 참조하면, 4 개의 수평 라인들에 해당하는 컬러 신호들이 각 메모리 블럭으로 입력될 때, 위에서 설명한 메모리 기입/독출 방식에 따라서, 해당 메모리 블럭으로부터는 5 개의 수평 라인들에 해당하는 컬러 신호들이 출력된다. 이로써, 4 라인의 SVGA 모드 컬러 신호들은 5 라인의 XGA 모드 컬러 신호들로 변환된다.

도 10은 클럭 발생 회로 (102) 내 각 PLL 회로 (104) 또는 (106)의 상세 회로 도이다. 도 10을 참조하면, 각 PLL 회로 (104) 또는 (106)는 위상 검출기 (104)와, 저역 통과 필터(low pass filter) (142)와, VCO (144) 및, 분주기(divider)

(146)으로 구성된다. 메모리 기입 동작을 위한 PLL 회로 (104)에서, 분주기 (106)은 마이크로컴퓨터 (100)으로부터 기입 화소 클럭 수 데이터 신호 (WPCN)을 받아들여서 기입 수평 기준 신호 (WHref)를 발생한다. 위상 검출기 (140)은 호스트로부터의 수평 동기 신호 (H_{sync})와 상기 기입 수평 기준 신호 (WHref)의 위상 차에 따라서 가변되는 레벨의 DC 전압 신호를 발생한다. 이 전압 신호는 저역 통과 필터 (142)로 제공되어서 그것에 함유된 노이즈(noise)들이 제거된다. VOC (144)는, 도 11에 도시된 바와 같이, 위상 검출기 (140)으로부터 저역 통과 필터 (142)를 통해 제공되는 DC 전압 신호의 레벨에 대응하는 주파수를 갖고 그리고 수평 동기 신호에 위상-동기(in-phase)된 클럭 신호를 기입 화소 클럭 신호 (W_{Dclk})로서 발생한다.

위와 마찬가지로, 메모리 독출 동작을 위한 PLL 회로 (106)도 마이크로컴퓨터 (100)으로부터 독출 화소 클럭 수 데이터 신호 (RPCN)을 받아들여서 독출 화소 클럭 신호 (R_{Dclk})를 발생한다.

도 12는 수평 출력 발생 회로 (108)의 상세 회로도이다. 도 12을 참조하면, 수평 출력 발생 회로 (108)은, 다운 카운터(down-counter) (148)과, 2 개의 비교기들 (150) 및 (152), 그리고 JK-플립플롭 (154)로 구성된다. 상기 다운 카운터 (148)은 마이크로컴퓨터 (100)으로부터 제공되는 11 비트의 제 1 데이터 신호 ($TA<10:0>$)를 수직 동기 신호 (V_{sync})에 의해 로드(load)하고, 독출 화소 클럭 신호 (R_{Dclk})의 라이징 에지(rising edge)마다 로드된 값으로부터 카운트-다운(count

down) 한다. 상기 다운 카운터 (148)은 자신의 출력 값이 '0'으로 되면 자체적으로 마이크로컴퓨터 (100)으로부터의 제 1 데이터 신호 ($TA<10:0>$)를 로드한다. 비교기 (150)은 제 1 데이터 신호 ($TA<10:0>$)와 다운 카운터 (148)의 출력이 동일할 때 하이 레벨의 신호를 출력한다. 이때, JK-플립플롭 (154)의 부출력 단자 (\bar{Q})로부터는, 도 12에 도시된 바와 같이, 로우 레벨의 신호 (H_{out})가 출력된다. 비교기 (152)는 다운 카운터 (148)의 하위 3 비트(3 low order bits)의 출력이 마이크로컴퓨터 (100)으로부터 제공되는 제 2 데이터 신호 ($PW<2:0>$)와 동일할 때 하이 레벨의 신호를 출력한다. 이때에는, 도 13에 도시된 바와 같이, JK-플립플롭 (154)의 출력이 하이 레벨로 반전된다. 이후, 다운 카운터 (148)의 하위 3 비트의 출력이 제 2 데이터 신호 ($PW<2:0>$)와 동일할 때마다 비교기 (152)로부터 하이 레벨의 신호가 반복적으로 출력되지만, 비교기 (150)이 제 1 데이터 신호 ($TA<10:0>$)가 다운 카운터 (148)로 로드될 때만 하이 레벨의 신호를 출력하므로, 도 12에 도시된 바와 같이, JK-플립플롭 (154)의 출력 (H_{out})은 로우 레벨로 유지된다.

도 14는 제 5 도에 도시된 플래그 회로 (120)의 상세 회로도이다. 도 14를 참조하면, 기입 동작을 위한 플래그들 (F_a), (F_b) 및 (F_c)를 발생하는 기입 플래그 발생 부 (124)와 독출 동작을 위한 플래그들 (F_d), (F_e) 및 (F_f)를 발생하는 독출 플래그 발생 부 (126)은 거의 동일한 구성을 가진다. 즉, 플래그 발생 부들 (124) 및 (126) 각각은, AND 게이트와 3 개의 D-플립플롭들으로 구성되는 로테이터-시프

트 레지스터(rotate shifter register)를 구비하고 있다. 다만, 기입 플래그 발생 부 (124) 내의 AND 게이트 (156)의 한 입력 단자로 수평 동기 신호 (H_{in})가 제공되고, 독출 플래그 발생 부 (126) 내의 AND 게이트 (164)의 한 입력 단자로 수평 출력 신호 (H_{out})가 제공된다. 각 플래그 발생 부 (124) 또는 (126)으로는 액티브 하이(active high)의 인에이블 신호 (Enable)과 액티브 로우(active low)의 리셋 신호 (Reset)이 마이크로컴퓨터 (100)으로부터 각각 입력된다. D-플립플롭들 (158) 및 (166)의 세트 단자들과, 나머지 플립플롭들 (160), (162), (168) 및 (170)의 리셋 단자들에는 상기 리셋 신호 (Reset)이 각각 제공된다. 따라서, 상기 리셋 신호 (Reset)이 로우 레벨일 때, 플립플롭들 (158) 및 (166) 각각은 세트 상태로 되고, 나머지 플립플롭들 (160), (162), (168) 및 (170) 각각은 리셋 상태로 된다. 이 때, 플래그 (Fa) 및 (Ff)는 하이 레벨로 되고, 나머지 플래그들 (Fb), (Fc), (Fd) 및 (Fe)는 로우 레벨로 된다. 인에이블 신호 (Enable)가 하이 레벨이고 상기 리셋 신호 (Reset)가 하이 레벨일 때, 수평 동기 신호 (H_{in}) 및 수평 출력 신호 (H_{out})의 라이징 에지에서 플래그 발생 부들 (124) 및 (126)의 출력들은 각각 로테이터-시프트된다. 이로써, 각 메모리 블럭에서, 수평 동기 신호 (H_{in}) 및 수평 출력 신호 (H_{out})에 각각 동기되어서, 기입용 라인 메모리와 독출용 라인 메모리가 순환적으로 각각 지정된다.

도 15는 도 5에 도시된 메모리 선택 제어 회로 (128)의 상세 회로도이다. 도

15를 참조하면, 메모리 선택 제어 회로 (128)은, 선택 오류 감시 부(selection error supervisor) (172)와, 순환 오류 감시 부(cyclic error supervisor) (174) 및, 제어 신호 출력 부 (176)으로 구성된다.

선택 오류 감시 부 (172)는, 수평 출력 신호 (H_{out})를 반전시키는 인버터 (178) 과, 이 인버터 (178)의 출력에 동기되어서 독출 플래그들 (Ff), (Fd) 및 (Fe)를 받아들여서 이들을 각각 래치하는 D-플립플롭들 (180), (182) 및 (184)와, 상기 독출 플래그들과 기입 플래그들 (Fa), (Fb) 및 (Fc)가 동일한지를 비교하는 AND 게이트들 (186), (188) 및 (190)과 NOR 게이트 (192)로 구성된다.

도 15에 도시된 바와 같이, 기입 플래그 신호 (Fc)와 (Fb)는 기입 메모리 선택 신호 (W_{Sel0})와 (W_{Sel1})으로서, 그리고 독출 플래그 신호 (Ff)와 (Fe)는 독출 메모리 선택 신호 (R_{Sel0})와 (R_{Sel1})으로서 각각 사용된다. 이 감시 부 (172)로부터 출력되는 기입 메모리 선택 신호들 (W_{Sel0}) 및 (W_{Sel1})과 독출 메모리 선택 신호들 (R_{Sel0}) 및 (R_{Sel1})은 메모리 동작 제어 회로 (130) 및 출력 선택 회로 (144)로 각각 제공된다.

다음의 <표 3> 및 <표 4>는, 기입 메모리 선택 신호들 (W_{Sel0}) 및 (W_{Sel1}) 과, 독출 메모리 선택 신호들 (R_{Sel0}) 및 (R_{Sel1})의 논리 레벨에 따라서, 각 메모리 블럭에서, 기입용 메모리 및 독출용 메모리로서 각각 선택되는 라인 메모리들을 보여주고 있다.

<표3>

W_Sell	W_Sel0	기입용 라인 메모리
L	L	LM0
H	L	LM1
L	H	LM2

<표4>

R_Sell	R_Sel0	독출용 라인 메모리
L	L	LM0
H	L	LM1
L	H	LM2

한편, 상기 선택 오류 감시 부 (172)는, 현재 기입 동작 중에 있는 라인 메모리와 관련하여, 상기 메모리의 기입 동작의 완료 전에 그 메모리가 다음의 독출 동작을 위해 선택될 것인지를 예측하고, 다음의 독출 동작을 위해 상기 메모리가 선택될 것으로 판단되면 독출 플래그 발생 부 (126)을 디스에이블시키기 위한 독출 플래그 제어 신호 (RFC1)을 발생한다. 도 16을 참조하면, 기입용 라인 메모리의 선택은 수평 동기 신호 (H_{in})의 라이징 에지에서 결정되고, 다음의 독출 동작용 라인 메모리의 선택은 수평 출력 신호 (H_{out})의 폴링 에지(falling edge)에서 결정된다. 예를 들어, 시간 구간 $t_1 < t < t_4$ 동안의 기입 동작을 위한 라인 메모리는 시점 (t_1)에서 결정되고, 시간 구간 $t_3 < t < t_5$ 동안의 독출 동작을 위한 라인 메모리는 시점 (t_2)에서 결정된다. 시점 (t_2)에서, 다음의 독출 동작을 위해 선택될 라인 메

모리가 현재 기입 동작을 수행하고 있는 라인 메모리와 동일한 경우, 선택 오류 감시 부 (164)는 로우 레벨의 독출 플래그 제어 신호 (RFC1)을 발생한다. 이로써, 독출 플래그 발생 부 (126)이 디스에이블되어 그것의 출력들이 로테이터-시프트되지 않는다. 그 결과, 현재 독출 동작이 수행 중인 라인 메모리가 다음의 독출 동작 위해서 한 번 더 사용된다.

반면에, 시점 (t2)에서, 다음의 독출 동작을 위해 선택될 라인 메모리가 현재 기입 동작을 수행하고 있는 라인 메모리가 아닌 경우, 선택 오류 감시 부 (164)는 하이 레벨의 독출 플래그 제어 신호 (RFC1)을 발생한다. 이로써, 상기 독출 플래그 발생 부 (126)이 인에이블되며, 상기 독출 플래그 발생 부 (126)의 출력들이 로테이터-시프트된다. 그 결과, 현재 독출 동작이 수행 중인 라인 메모리 다음 순서의 라인 메모리가 다음의 독출 동작 위해서 사용된다.

도 15에 도시된 바와 같이, 순환 오류 감시 부 (174)는, D-플립플롭들 (194), (196) 및 (198)로 이루어지는 카운터 회로와, AND 게이트 (200)과 OR 게이트들 (202) 및 (204)로 이루어지는 카운팅 범위 제어 회로 (couting range control circuit)와, AND 게이트 (206)으로 이루어지는 리셋 회로, NOR 게이트 (208)로 이루어지는 독출 플래그 제어 회로를 구비하고 있다.

상기 카운팅 범위 제어 회로 (200)~(204)는 마이크로컴퓨터 (100)으로부터 제공되는 제 1 모드 신호 (MD1)에 응답하여 상기 카운터 회로 (194)~(198)의 출력

범위를 제어하고, 상기 리셋 회로 (206)은 마이크로컴퓨터 (100)으로부터 각각 제공되는 리셋 신호 (Reset)와 제 2 모드 신호 (MD2)를 입력받아서 XGA 모드 신호가 이 실시예의 LCD로 입력될 때 상기 카운터 회로 (194)~(198)을 리셋시킨다. 상기 독출 플래그 제어 회로 (208)은 도 14에 도시된 독출 플래그 발생 부 (126)을 인에 이를시키기 위한 독출 플래그 제어 신호 (RFC2)를 발생한다.

이 실시예의 LCD로 VGA 모드 신호가 입력되는 경우 상기 카운터 회로 (194)~(198)의 출력이 '8'일 때 그리고 SVGA 모드 신호가 입력되는 경우에는 상기 카운터 회로 (194)~(198)의 출력이 '5'일 때, 상기 독출 플래그 인에이블 제어 회로 (208)은 상기 독출 플래그 발생 부 (126)을 인에이블시키기 위한 독출 플래그 제어 신호 (RFC2)를 발생한다.

이상과 같이, VGA 모드 신호가 입력되는 경우 순환 오류 감시 부 (174)가 상기 카운터 회로 (194)~(198)의 출력이 '5'일 때마다 그리고 SVGA 모드 신호가 입력되는 경우에는 상기 카운터 회로 (194)~(198)의 출력이 '8'일 때마다 강제적으로 독출 플래그 발생 부 (126)을 인에이블시키는 이유는 그때마다 수평 동기 신호 (H_{in})의 라이징 에지 시점과 수평 출력 신호 (H_{out})의 그것이 일치하게 됨으로써 본 실시 예의 장치가 오동작할 가능성이 있기 때문이다.

다시 도 15를 참조하여, 제어 신호 출력 부 (176)은 선택 오류 감시 부 (172)의 출력과 순환 오류 감시 부 (174)의 출력을 각각 받아들이는 2 개의 입력 단자들

과 독출 플래그 발생 부 (126)의 인에이블 단자에 접속되는 출력 단자를 갖는 OR 게이트 (210)으로 구성된다. 상기 제어 신호 출력 부 (176)의 출력 신호가 로우 레벨일 때에는 독출 플래그 발생 부 (126)이 디스에이블된다. 따라서, 이 때에는 수평 출력 신호 (H_{out})이 입력되더라도 독출 플래그 발생 부 (126)의 출력들이 로테이터-시프트되지 않는다. 상기 제어 신호 출력 부 (176)의 출력 신호가 하이 레벨 일 때에는 독출 플래그 발생 부 (126)이 인에이블된다. 따라서, 이 경우에는 수평 출력 신호 (H_{out})이 입력될 때 독출 플래그 발생 부 (126)의 출력들이 로테이터-시프트된다.

도 17은 도 6에 도시된 메모리 동작 제어 회로 (130)의 상세 회로도를 보여주고 있다. 도 16을 참조하면, 기입/독출 제어 부 (132)는 인버터들 (212), (214), (216) 및 (218)과, AND 게이트들 (222), (224) 및 (226)으로 구성된다. <표 3>에 나타낸 바와 같이, 각 메모리 블럭에서, 먼저, $W_{Sel0} = 'L'$, $W_{Sel1} = 'L'$ 이면, 라인 메모리 (LM0)가 기입 인에이블 상태로 되고 나머지 라인 메모리들 (LM1) 및 (LM2)는 독출 인에이블 상태로 된다. 다음, $W_{Sel0} = 'L'$, $W_{Sel1} = 'H'$ 이면, 라인 메모리 (LM1)가 기입 인에이블 상태로 되고 나머지 라인 메모리들 (LM0) 및 (LM2)는 독출 인에이블 상태로 된다. 마지막으로, $W_{Sel0} = 'H'$, $W_{Sel1} = 'L'$ 이면, 라인 메모리 (LM2)가 기입 인에이블 상태로 되고 나머지 라인 메모리들 (LM0) 및 (LM1)은 독출 인에이블 상태로 된다.

어드레스 발생 부 (134)는 수평 동기 신호 (H_{in})에 의해 초기화되고, 기입 화소 클럭 (W_Dclk)에 동기되어서 기입 동작용 어드레스 (W_{Add})를 발생하는 기입 어드레스 발생 부 (228)과, 수평 출력 신호 (H_{out})에 의해 초기화되고 독출 화소 클럭 (R_Dclk)에 동기되어서 독출 동작용 어드레스 (R_{Add})를 발생하는 독출 어드레스 발생 부 (230)으로 이루어진다. 상기 기입 어드레스 발생 부 (228)과 상기 독출 어드레스 발생 부 (230)은 업 카운터들로 각각 구성된다.

어드레스 선택 부 (136)은 3 개의 2×1 멀티플렉서들 (232), (234) 및 (236)으로 구성된다. 각 멀티플렉서의 두 입력 단자들에는 기입 및 독출 어드레스들 (W_{Add}) 및 (R_{Add})가 각각 제공된다. 상기 멀티플렉서들 (232), (234) 및 (236)의 출력들은 각 메모리 블럭의 라인 메모리들 (LM0), (LM1) 및 (LM3)로 각각 제공된다. 상기 멀티플렉서들 (232)~(236)의 선택 제어 단자들에는 기입/독출 제어 부 (132) 내의 AND 게이트들 (222)~(226)의 출력들이 각각 제공된다. 기입 및 독출 어드레스들 (W_{Add}) 및 (R_{Add})는 기입/독출 제어 부 (132)에 의해 선택적으로 각 메모리 블럭의 라인 메모리들 (LM0), (LM1) 및 (LM2)로 각각 제공된다.

화소 클럭 선택 부 (138)도 3 개의 2×1 멀티플렉서들 (238), (240) 및 (242)로 구성된다. 상기 멀티플렉서들 (238)~(242) 각각의 두 입력 단자들에는 기입 및 독출 화소 클럭들 (W_Dclk) 및 (R_Dclk)이 각각 제공된다. 상기 멀티플렉서들 (238), (240) 및 (242)의 출력들은 각 메모리 블럭의 라인 메모리들 (LM0), (LM1)

및 (LM3)로 각각 제공된다. 상기 멀티플렉서들 (238)~(242)의 선택 제어 단자들은 기입/독출 제어 부 (132) 내의 AND 게이트들 (222)~(226)의 출력들이 각각 제공된다. 기입 및 독출 화소 클럭들 (W_{Dclk}) 및 (R_{Dclk})은 기입/독출 제어 부 (132)에 의해 선택적으로 각 메모리 블럭의 라인 메모리들 (LM0), (LM1) 및 (LM2)로 각각 제공된다.

여기서는, 본 발명이 구체적인 실시예를 통해 설명되었지만, 이는 본 발명에 대한 전반적인 이해를 돋기 위한 것일 뿐 본 발명의 범위나 기술적인 사상을 거기 예 한정하려는 것이 아님을 유의해야 한다.

【발명의 효과】

본 발명에 따르면, LCD가 지원하는 모드의 해상도보다 상대적으로 낮은 해상도의 모드 신호가 LCD로 입력되더라도 LCD의 전체 화면에서 영상이 표시될 수 있다.

【특허청구의 범위】

【청구항 1】

호스트로부터 수평 동기 신호와, 수직 동기 신호 및, 상기 수평 동기 신호에 동기
된 적어도 하나의 아날로그 비디오 신호를 받아들여서 LCD(liquid crystal
display) 패널의 화면 상에 영상을 표시하는 LCD 장치에 있어서:

상기 수평 및 수직 동기 신호들을 받아들여서 상기 호스트가 지원하는 표시 모
드를 판별하고, 판별된 호스트 표시 모드에 대응하는 소정의 레벨들을 각각 갖는
제 1 및 제 2 모드 신호들 그리고 상기 호스트 표시 모드에 대응하는 소정의 값들
을 각각 갖는 제 1 내지 제 4 데이터 신호들을 발생하는 모드 판별 수단과;

상기 제 1 및 제 2 데이터 신호들 및 상기 수평 동기 신호를 받아들이고, 상기
제 1 및 제 2 데이터 신호의 값에 대응하는 주파수들을 각각 갖는 그리고 상기 수
평 동기 신호에 동기되는 제 1 및 제 2 화소 클럭 신호들을 발생하는 클럭 발생 수
단과;

1 개의 수평 라인에 대응하는 상기 제 1 화소 클럭 신호의 펄스 수는 상기
제 1 데이터 신호의 값과 동일하고, 상기 1 수평 라인에 대응하는 상기 제 2
화소 클럭 신호의 펄스 수는 상기 제 2 데이터 신호의 값과 동일하며,
상기 제 1 화소 클럭 신호에 동기되어서 상기 호스트로부터의 상기 적어도 하
나의 아날로그 비디오 신호를 디지털 비디오 데이터로 변환하는 ADC 수단과;

상기 ADC 수단으로부터의 상기 디지털 비디오 데이터를 저장하기 위한 메모리 수단과;

상기 수직 동기 신호, 상기 제 3 및 제 4 데이터 신호들을 받아들여서 상기 메모리 수단으로부터의 상기 디지털 비디오 데이터를 동기시키기 위한 수평 출력 신호를 발생하는 수평 출력 발생 수단 및;

상기 수평 출력 신호의 1 주기에 대응하는 화소 수는 상기 제 3 데이터 신호의 값과 동일하고, 상기 수평 출력 신호의 펄스 폭에 대응하는 화소 수는 상기 제 4 데이터 신호의 값과 동일하며,

상기 모드 신호들과 상기 수평 동기 신호 및 상기 제 1 화소 클럭 신호에 따라서 상기 메모리 수단의 기입 동작을 제어하고, 상기 모드 신호들 및 상기 수평 출력 신호 및 상기 제 2 화소 클럭 신호에 따라서 상기 메모리 수단의 독출 동작을 제어하는 메모리 제어 수단을 포함하는 LCD 장치.

【청구항 2】

제 1 항에 있어서,

상기 메모리 수단은;

(a) 상기 디지털 R, G, B 데이터에 각각 대응하는 제 1 내지 제 3 메모리 블럭들을 및;

상기 각 메모리 블럭들은 적어도 3 개의 라인 메모리들을 구비하고, 상기 각

라인 메모리는 상기 ADC 수단으로부터 제공되는 그리고 상기 1 개의 수평 라인에 해당하는 디지를 비디오 데이터를 저장할 수 있는 기억 용량을 가지며,

(b) 상기 메모리 블럭들에 각각 대응하고, 각각은 상기 메모리 제어 수단으로부터의 소정의 데이터 선택 신호들에 응답하여 대응하는 메모리 블럭의 라인 메모리들로부터의 데이터를 선택적으로 출력하는 제 1 내지 제 3 멀티플렉서들을 포함하고;

상기 메모리 제어 수단은;

(a) 상기 수평 동기 신호 및 상기 수평 출력 신호를 받아들여서 상기 라인 메모리들 중에서 기입 동작이 수행될 하나와 독출 동작이 수행될 다른 하나를 소정의 순서대로 지정하는 복수 개의 플래그 신호들을 발생하는 플래그 발생 수단과;

(b) 상기 모드 신호들 및 상기 플래그 신호들에 응답하여 상기 라인 메모리들 중의 상기 기입 동작이 수행될 하나를 선택하기 위한 적어도 2 개의 기입 메모리 선택 신호들과 상기 독출 동작이 수행될 다른 하나를 선택하기 위한 적어도 2 개의 독출 메모리 선택 신호들을 발생하되, 하나의 라인 메모리가 상기 기입 동작과 상기 독출 동작을 위해 동시에 선택되는 것을 방지하는 메모리 선택 제어 수단 및;

(c) 상기 제 1 및 제 2 화소 클럭 신호들, 상기 수평 동기 신호, 상기 수평 출력 신호 및 상기 기입 메모리 선택 신호들을 받아들여서 상기 기입 및 독출 동작들

을 위해 선택된 메모리들로 화소 클럭 신호, 독출/기입 인에이블 신호 및 어드레스 신호들을 제공하는 메모리 동작 제어 수단을 포함하는 LCD 장치.

【청구항 3】

제 1 항에 있어서,

상기 메모리 수단, 상기 수평 출력 발생 수단 및 상기 메모리 제어 수단이 단일 칩으로 구성되는 LCD 장치.

【청구항 4】

제 1 표시 장치용 직렬 형태의 제 1 표시 데이터를 제 2 표시 장치용 병렬 형태의 제 2 표시 데이터로 변환하는 비디오 신호 변환 장치에 있어서:

상기 제 1 표시 데이터와 관련된 수평 및 수직 동기 신호들을 이용하여 상기 제 1 표시 데이터의 해상도를 검출하고 상기 검출된 해상도와 소정의 기준 해상도와 비교하는 수단 및;

상기 검출된 해상도와 상기 기준 해상도 간에 차가 있을 때, 상기 제 1 표시 데이터를 상기 기준 해상도의 상기 제 2 표시 데이터로 변환하는 수단을 포함하는 비디오 신호 변환 장치.

【청구항 5】

호스트로부터 수평 동기 신호, 수직 동기 신호 및, 상기 수평 동기 신호에 동기된 직렬 형태의 비디오 신호들을 받아들이고, 복수 개의 수평 라인들로 구성된 - 상기

각 라인은 복수 개의 화소들을 구비하고, 상기 화소들 각각은 컬러 표시를 수행하는 - 화면 상에 상기 비디오 신호들에 대응하는 영상을 표시하는 표시 장치에 있어서:

상기 수평 및 수직 동기 신호들을 이용하여 상기 호스트로부터의 상기 각 비디오 신호들의 화소 수를 검출하고, 상기 검출된 화소 수와 소정의 기준 화소 수를 비교하는 제 1 수단과;

상기 검출된 화소 수와 상기 기준 화소 수 간에 차가 있을 때, 상기 화소 수 차에 의해 결정되는 제 1 주파수로 상기 비디오 신호들을 샘플링하는 제 2 수단 및;

상기 화소 수 차에 결정되는 제 2 주파수에 동기되어서 상기 샘플링된 비디오 데이터에 의한 영상이 상기 화면 상에 표시되도록 하는 제 3 수단을 포함하는 표시 장치.

【청구항 6】

제 5 항에 있어서,

상기 제 2 수단은;

상기 화소 수 차에 결정되는 상기 제 1 수단으로부터의 데이터 신호에 응답하여 상기 수평 동기 신호에 동기된 상기 제 1 주파수의 클럭 신호를 발생하는 수단 및;

1 개의 수평 라인에 대응하는 상기 클럭 신호의 폴스 수는 상기 데이터 신호의 값과 동일하며,

상기 클럭 신호에 동기되어서 상기 적렬 비디오 신호들을 병렬 비디오 데이터 신호들로 변환하는 수단을 포함하는 표시 장치.

【청구항 7】

제 5 항에 있어서,

상기 제 3 수단은;

상기 화소 수 차에 의해 결정되는 상기 제 1 수단으로부터의 제 1 데이터 신호에 응답하여 상기 수평 동기 신호에 동기된 상기 제 2 주파수의 클럭 신호를 발생하는 수단 및;

1 개의 수평 라인에 대응하는 상기 클럭 신호의 폴스 수는 상기 제 1 데이터 신호의 값과 동일하며,

상기 화소 수 차에 의해 결정되는 상기 제 1 수단으로부터의 제 2 및 제 3 데이터 신호들에 응답하여 상기 샘플링된 비디오 데이터의 동기를 위한 수평 출력 신호를 발생하는 수단을 포함하는 표시 장치.

【청구항 8】

제 5 항에 있어서,

소정 개수의 수평 라인들의 상기 샘플링된 비디오 데이터를 상기 화소 수 차에

의해 결정되는 소정의 비율에 대응하는 수의 수평 라인들의 데이터로 변환하여 상기 제 3 수단으로 제공하는 제 4 수단을 부가적으로 포함하는 표시 장치.

【청구항 9】

제 1 표시 장치를 위한 아날로그 비디오 신호들을 제 2 표시 장치를 위한 디지털 비디오 데이터로 변환하는 비디오 신호 변환 장치에 있어서:

상기 디지털 비디오 데이터를 저장하기 위한 메모리 수단 및;

제 1 데이터 신호와 제 2 데이터 신호 및 수직 동기 신호를 받아들여서 상기 제 2 표시 장치의 화면의 각 수평 라인에 대응하는 상기 메모리 수단으로부터의 상기 디지털 비디오 데이터를 동기시키기 위한 수평 출력 신호를 발생하는 수평 출력 발생 수단과;

상기 수평 출력 신호의 1 주기에 대응하는 화소 수는 상기 제 1 데이터 신호의 값과 동일하고, 상기 수평 출력 신호의 펄스 폭에 대응하는 화소 수는 상기 제 2 데이터 신호의 값과 동일하며,

수평 동기 신호, 상기 수직 동기 신호, 상기 수평 및 수직 동기 신호들의 주파수들에 의해 결정되는 표시 모드를 나타내는 모드 신호들, 상기 수평 출력 신호, 상기 메모리 수단의 기입 동작을 위한 제 1 화소 클럭 신호 및 상기 메모리 수단의 독출 동작을 위한 제 2 화소 클럭 신호를 받아들여서, 상기 메모리 수단의 기입 동작 및 독출 동작을 제어하는 메모리 제어 수단을 포함하는 비디오 신호 변환 장치.

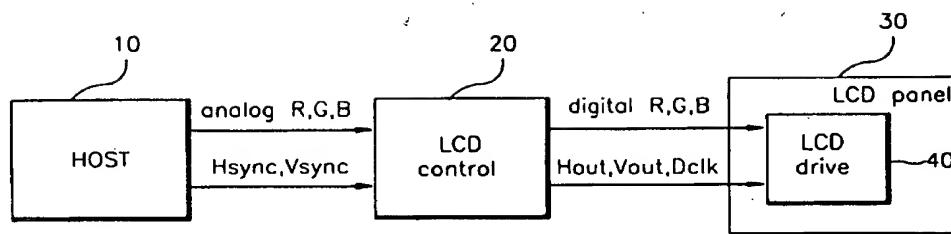
【청구항 10】

제 9 항에 있어서,

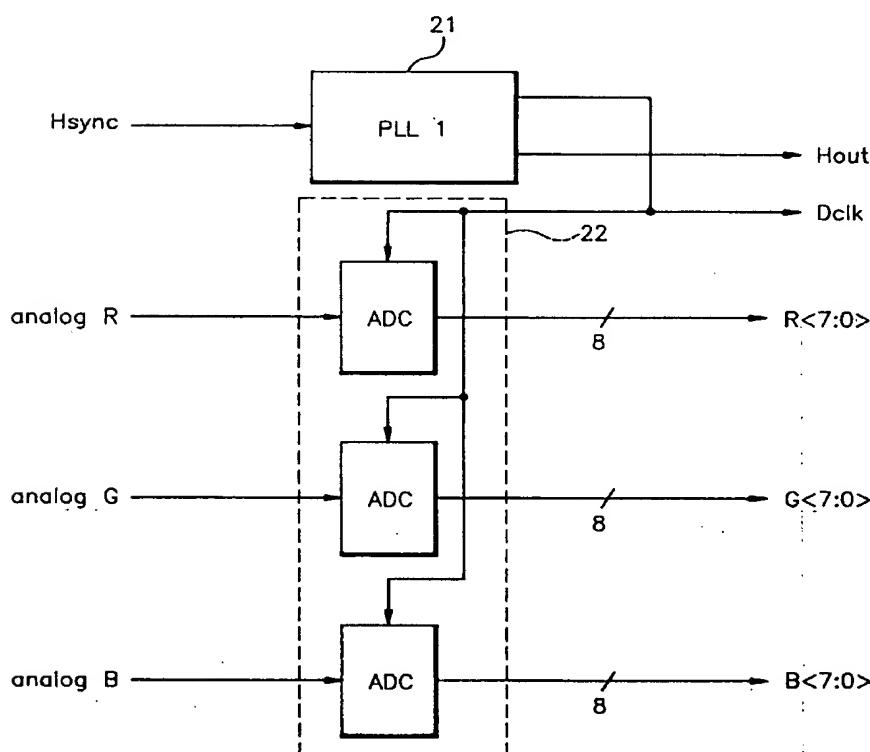
상기 비디오 신호 변환 장치는 단일 칩으로 형성되는 비디오 신호 변환 장치.

【도면】

【도 1】



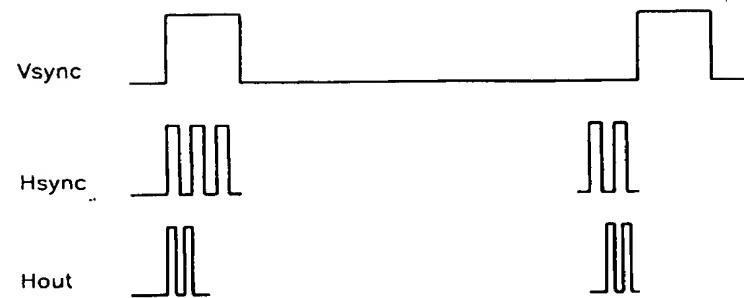
【도 2】



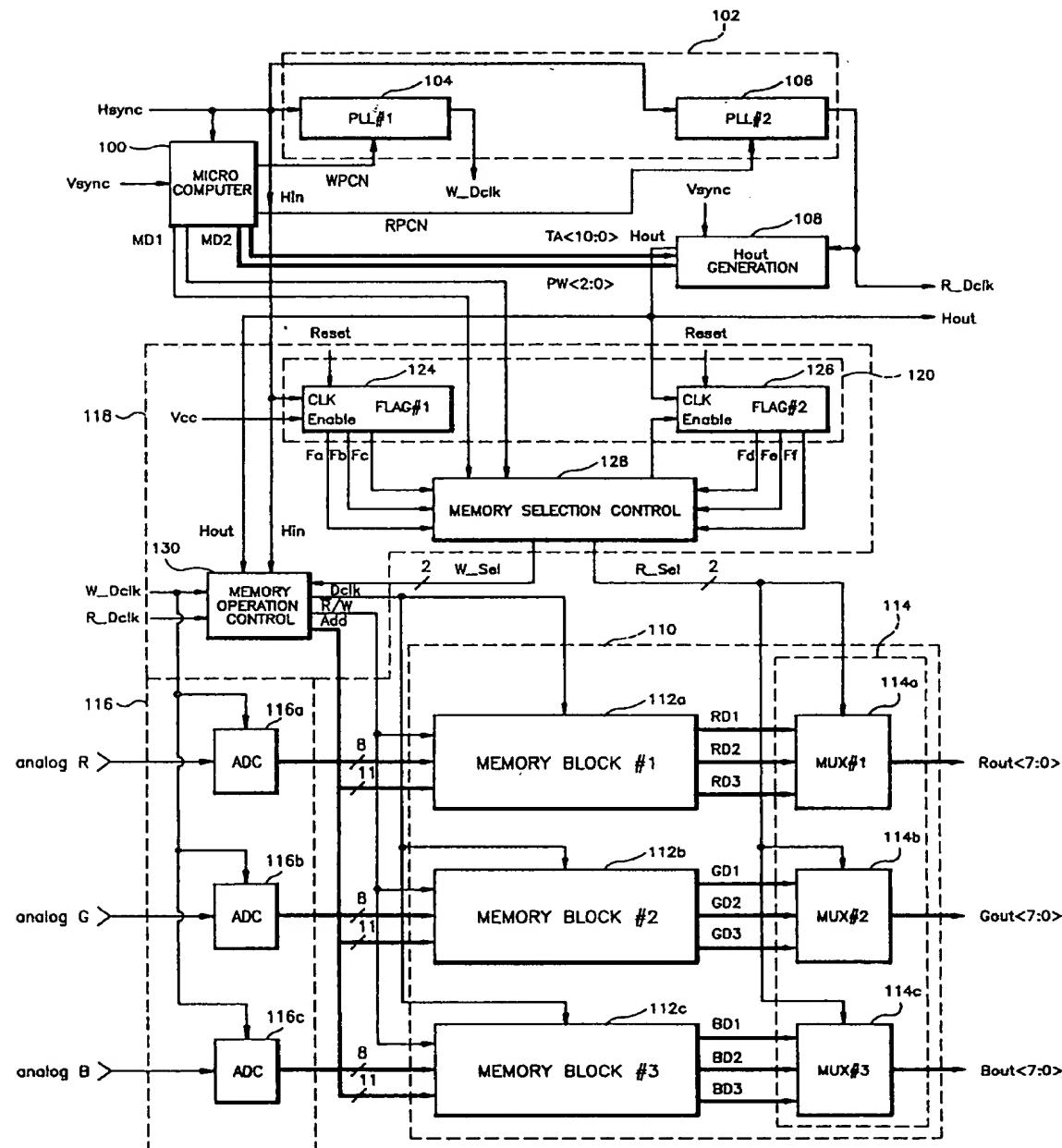
【도 3】



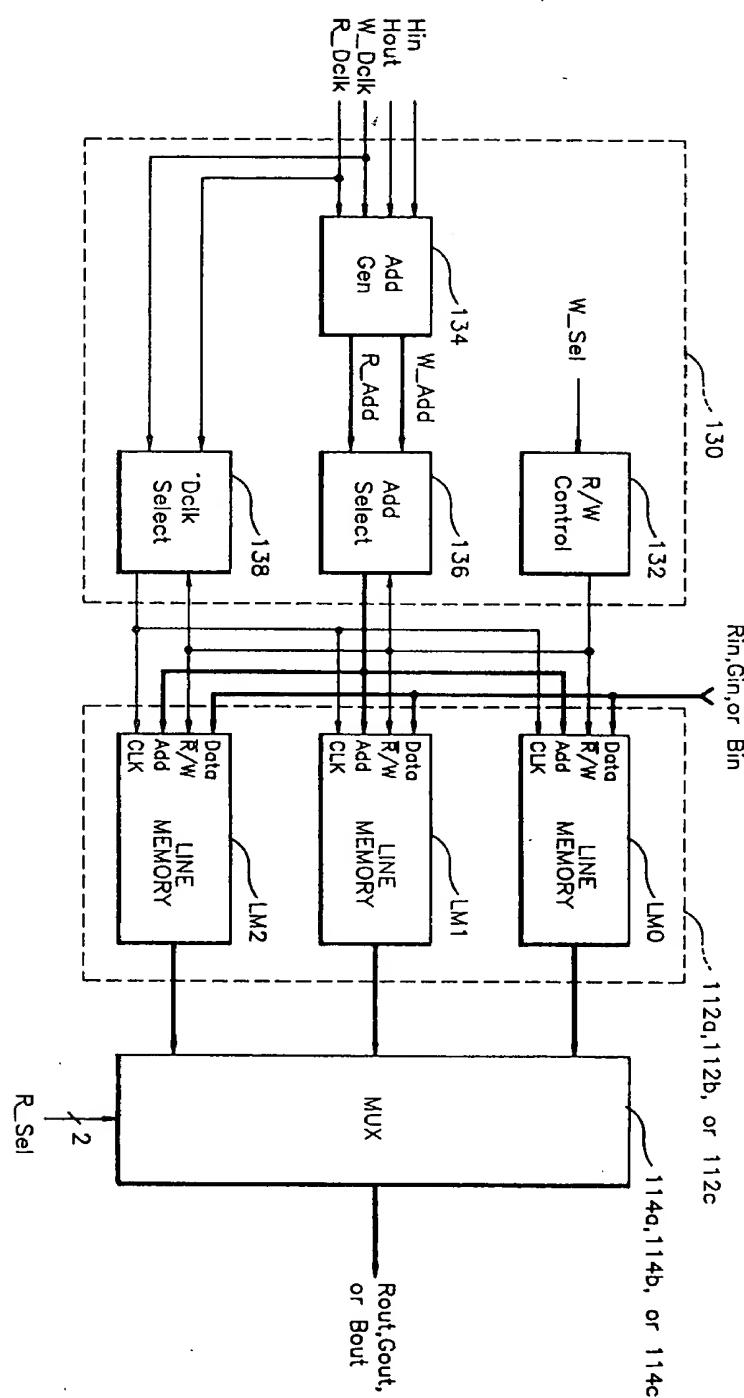
【도 4】



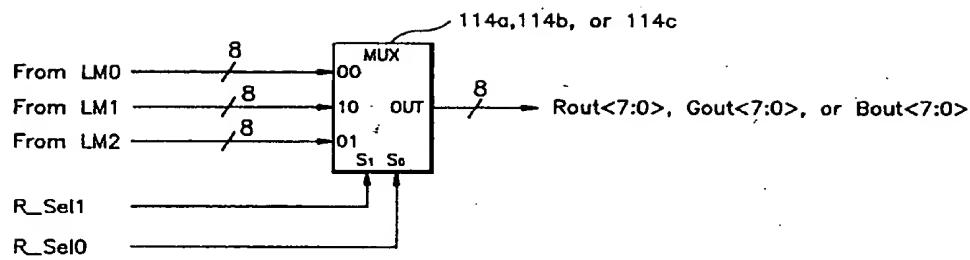
【図 5】



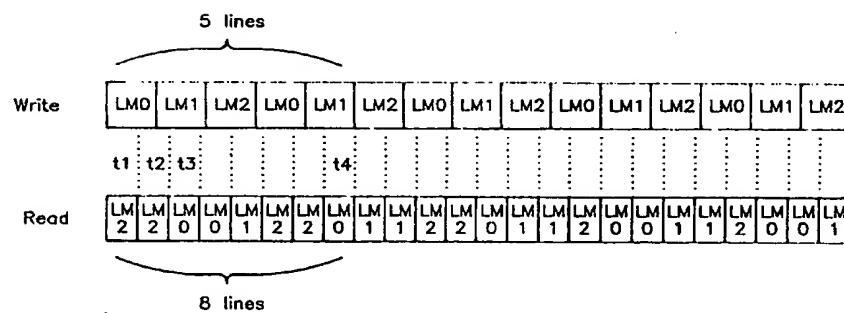
【H 6】



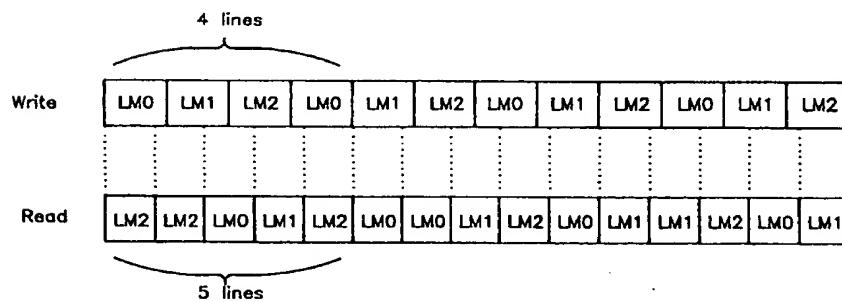
【도 7】



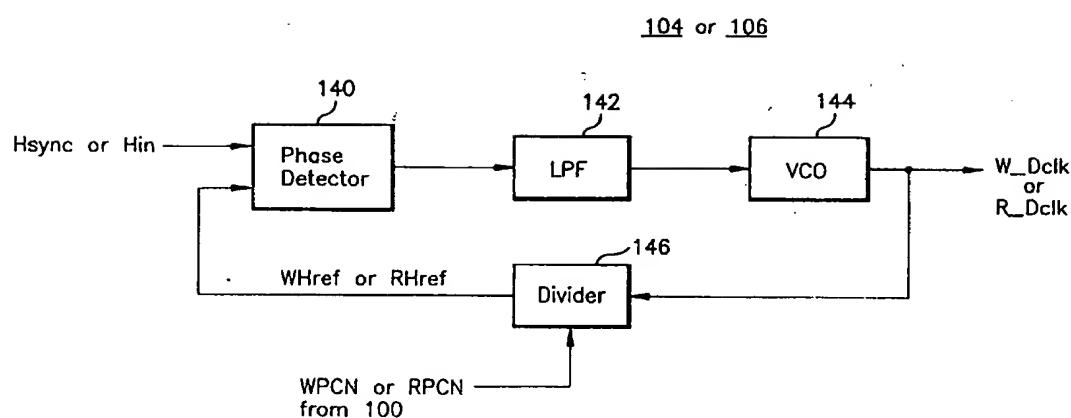
【도 8】



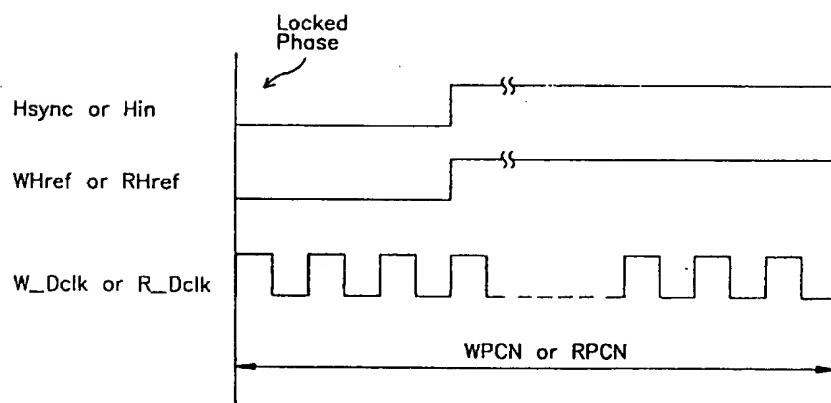
【도 9】



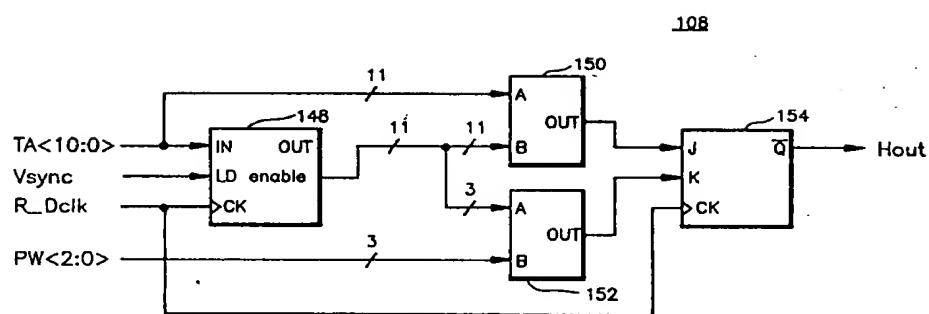
【도 10】



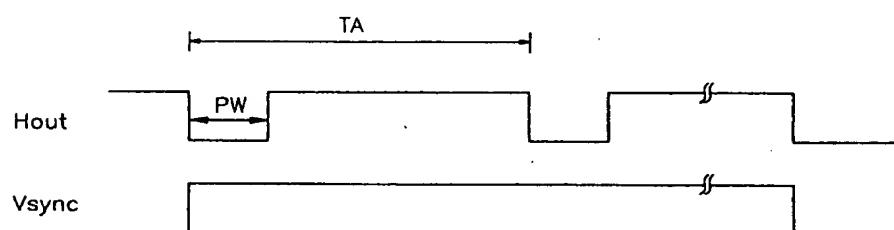
【도 11】



【도 12】



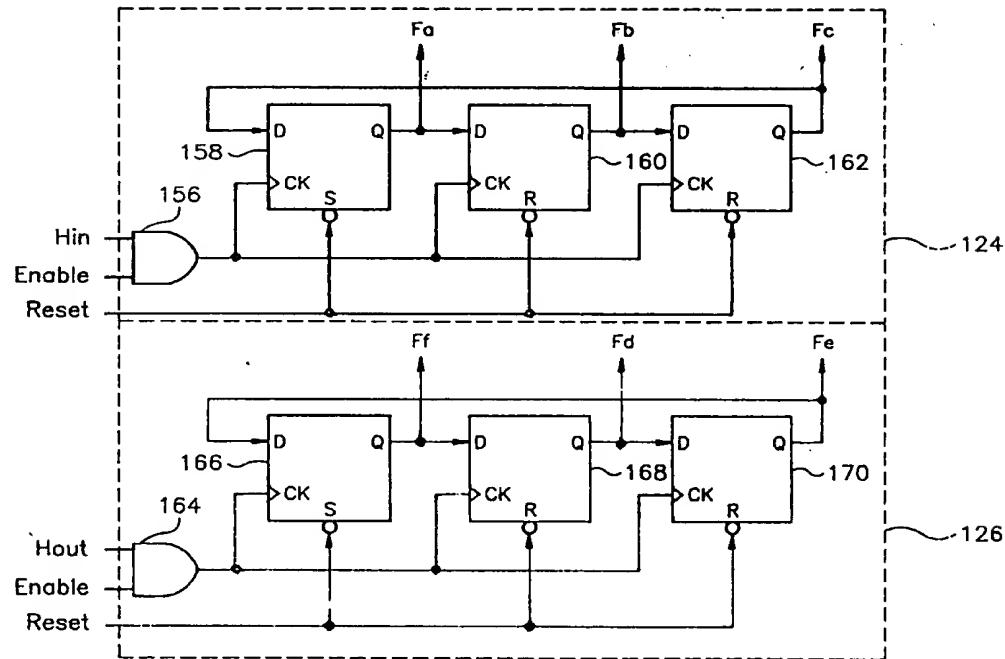
【도 13】



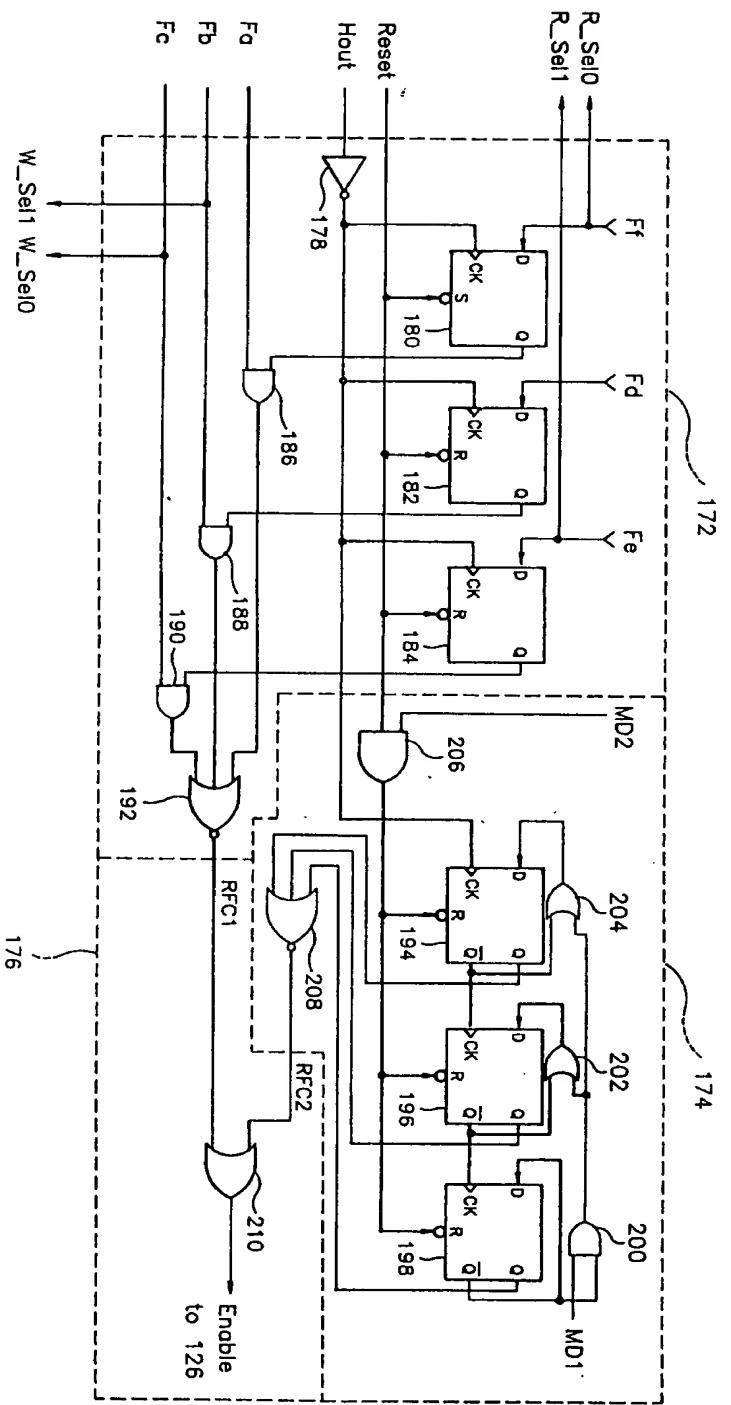


【도 14】

120

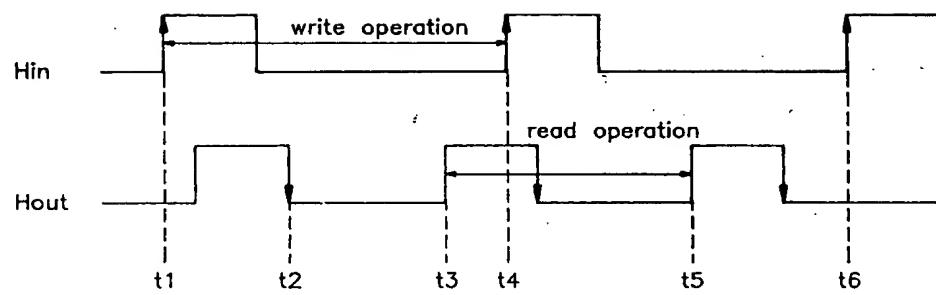


【H 15】

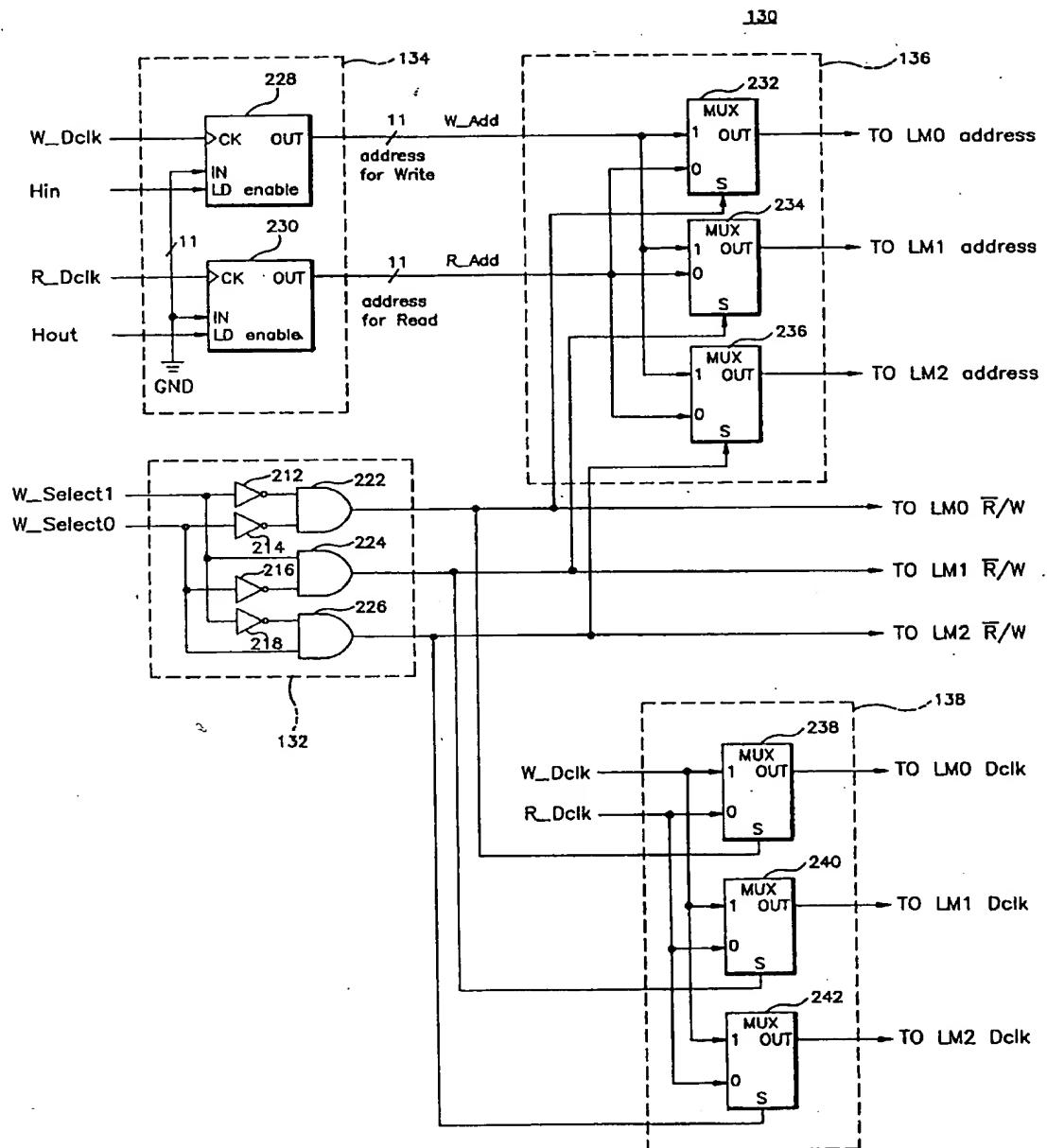


128

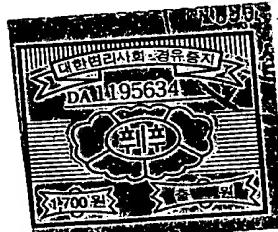
【도 16】



【图 17】



위 임 장

수 임 자	성 명	임 창 현	대리인코드	632 - H361	전화번호	3453-7631/3
	주 소	서울시 강남구 역삼동 827-4(금성빌딩 3층)				
사건의 표시	출 원 번 호			출 원 일 자		
	등 록 번 호 (항고)심판번호			등 록 일 자 (항고)심판일자		
발명의 명칭	비디오신호 변환장치 및 그 장치를 구비한 표시장치					
위 임 자	성 명	삼성전자 주식회사 대표이사 김 광 호		주민등록번호		
	주 소	경기도 수원시 팔달구 매탄동 416번지				
	사건과의 관 계	출 원 인				
위임할 사항	상기 사건에 관한 출원 및 등록전후의 일체의 행위, 위 사항에 대한 복 대리인의 선임 및 해임의 건과 필요한 경우에는 상기 사건의 취하, 포기, 분할출원, 출원변경, 출원인명의변경, 증명의 청구 또는 그 결과에 대하여 심판, 항고심판, 소원, 소송 또는 상고를 청구하는 건.					
특허법 제 7 조 · 실용신안법 제 3 조 · 의장법 제 4 조 및 상표법 제 5 조의 규정에 의하여 위와 같이 위임함.						
 		1996년 12 월 10 일				
위임인 삼성전자 주식회사 대표이사 김 광 호						
						